

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-060186

(43)Date of publication of application : 15.03.1991

(51)Int.Cl.

H05K 3/24
// C23C 14/18
C23C 14/24
C25D 7/12
H05K 3/14

(21)Application number : 01-195672

(71)Applicant : HITACHI CABLE LTD

(22)Date of filing : 28.07.1989

(72)Inventor : IIZUKA TOMIO

SANKI SADAHIKO

ONDA MAMORU

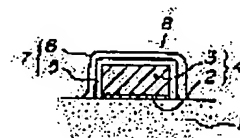
MURAKAMI TOMIO

(54) MANUFACTURE OF CERAMIC SUBSTRATE WITH COPPER CONDUCTOR

(57)Abstract:

PURPOSE: To prevent the abnormal local growth of a plated section when plating of a metal, such as nickel, etc., other than copper is performed after circuit patterning by making use of copper whose purity exceeds a certain percentage for vapor depositing material.

CONSTITUTION: When plating of a metal, such as nickel, etc., other than copper is performed by an electroplating method after a circuit pattern is formed by photo-etching on a conductive copper layer 3 formed on a ceramic substrate 1 by vapor deposition using copper of $\geq 99.999\%$ in purity as the source of the vapor deposition at the time of forming the deposited copper layer 3, abnormal growth of a whisker- or horizontal fin-like plated layer 5 does not occur and the occurrence of short-circuiting or a state-similar to short-circuiting is prevented between lead wires which must be electrically independent from each other. This becomes especially effective when the conductive copper layer 3 is vapor-deposited on the substrate 1. Therefore, a ceramic wiring board which uses copper having a small electric resistance as the conductive layer and is suitable for wire bonding can be manufactured and increases in processing speed of electronic circuits can be attained.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-60186

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)3月15日

H 05 K 3/24

A

6736-5E※

審査請求 未請求 請求項の数 3 (全6頁)

⑭ 発明の名称 銅配線セラミック基板の製造方法

⑰ 特 願 平1-195672

⑱ 出 願 平1(1989)7月28日

⑲ 発 明 者 飯 塚 富 雄 茨城県日立市助川町3丁目1番1号 日立電線株式会社電線工場内

⑲ 発 明 者 参 木 貞 彦 茨城県土浦市木田余町3550番地 日立電線株式会社金属研究所内

⑲ 発 明 者 御 田 護 茨城県日立市助川町3丁目1番1号 日立電線株式会社電線工場内

⑲ 発 明 者 村 上 富 男 茨城県日立市助川町3丁目1番1号 日立電線株式会社電線工場内

⑲ 出 願 人 日立電線株式会社 東京都千代田区丸の内2丁目1番2号

⑲ 代 理 人 弁理士 平田 忠雄 外1名

最終頁に続く

明 細 書

(産業上の利用分野)

本発明は銅配線基板、特に最終的に電気めっきにより他の金属のめっきを施した銅配線セラミック基板の製造方法に関する。

(従来の技術)

高密度実装が可能なICパッケージとして、PGA(ピングリッドアレイ)基板がある。高信頼性を必要とする用途のPGA基板には、セラミックを基板とし配線層がアルミニウムのものが多く用いられていた。しかし最近、電子回路の高速化に対応するため、アルミニウムに代わり電気抵抗の小さい銅が用いられるようになった。銅は高温では勿論常温でも酸化しやすく、そのままではワイヤボンディングに適さないため、銅配線層にはニッケル等の銅以外の金属の被膜、またはニッケル等を下地として金等の貴金属の被膜を、電気めっき法により施す。

例えば第2図に示すように、セラミック基板1の上に蒸着法によりクロム蒸着層2、銅蒸着層3を設け、導電層を形成し、フォトリソグラフィによるエッチングによ

1. 発明の名称

銅配線セラミック基板の製造方法

2. 特許請求の範囲

(1) セラミック基板の上に蒸着法により銅導電層を形成し、該銅導電層に回路パターン形成後、電気めっき法により銅以外の金属のめっきまたは該金属を下地とする貴金属めっきを施す銅配線セラミック基板の製造方法において、銅蒸着層を形成するための蒸着源として99.999%以上の純度の銅を用いることを特徴とする銅配線セラミック基板の製造方法。

(2) 前記銅以外の金属がニッケル、コバルト、クロムのうちから選ばれる請求項第1項の銅配線セラミック基板の製造方法。

(3) 前記貴金属が金、銀から選ばれる請求項第1項または第2項の銅配線セラミック基板の製造方法。

3. 発明の詳細な説明

り回路パターンを形成（パターンニングと呼ばれる）した後、ニッケルめっき層5、金めっき層6が順次形成される。

（発明が解決しようとする課題）

セラミック基板1の上に蒸着法により形成した銅導電層3に、フォトリソエッチングにより回路パターンを形成（パターンニングと呼ばれる）した後、ニッケル等の銅以外の金属の被膜を電気めっき法により施す際に、ニッケル等のめっき層が第3図に示すように局部的に、ホイスカー状、または水平方向にひれ状に、異常成長することがしばしばあり、甚だしい場合には本来電氣的に独立でなければならないリード部8同士が短絡したり、短絡寸前の状態になる。具体例を示すと、平均めっき厚さが $1\mu\text{m}$ の場合に異常成長の長さが $10\mu\text{m}$ 以上、場合により $40\mu\text{m}$ にも及ぶ（これは、異常成長部分では平均めっき速度の10ないし40倍にも及ぶ速度で電析が起きていることを意味する）。ニッケル等を下地としてさらに金等の貴金属の被膜を形成する場合も、下地のめっきの局部

的な異常成長で同様の障害が生ずる。第2図にニッケルめっきの局部的なホイスカー状異常成長を5aとして示した。このようなめっき部の異常成長によって、製造された銅配線基板の信頼性あるいは歩留まりが甚だしく損なわれる。

異常成長部5aの発生を抑制しようとする、製造を高速化できない。

それ故本発明の目的は、蒸着法により形成した銅導電層に回路パターン形成後、電気めっき法によるニッケル等銅以外の金属の被膜を形成する際に生ずるめっき部の局部的な異常成長を防止した、信頼性の高い銅配線セラミック基板の製造方法を提供することである。

本発明の他の目的は、製造の高速化が可能な銅配線セラミック基板の製造方法を提供することである。

（課題を解決するための手段）

本発明では上記目的を達成するために、銅蒸着層を形成する際に、蒸着源として99.999%以上の純度の銅を用いるようにした。

好ましくは99.9994%以上の純度の銅を用いる。

本発明における銅蒸着層には、真空蒸着法のほかイオンブレーティング、クラスティオンビーム法、スパッタリング法等の物理的蒸着法（PVD）により形成された銅層を包含する。

本発明の方法は下記工程から成る。

(1) セラミック基板に銅層を蒸着する工程

基板として用いるセラミックは、アルミナ、ムライト、マグネシア、窒化アルミニウム、ジルコニア、炭化珪素等のいずれでもよい。

本発明は金属、プラスチック、ガラス、エポキシ等の基板にも適用できるが、セラミック基板はこれらに比して表面が粗いので、前述の問題が生じ易く、従ってセラミックに適用すると効果が顕著である。

本発明は蒸着源として99.999%以上の純度の銅を用いることを特徴とする。好ましくは99.9994%以上の純度の銅を用いる。純度99.999%未満の銅を用いると、ニッケルめ

っき等の際に前記のようなホイスカー状またはひれ状の異常な成長が起きる。純度99.999%以上であればホイスカー状の成長は皆無に近くなり、ひれ状の成長も目立って減少する。99.9994%以上の純度とすると、ひれ状の成長も防止される。

99.9999%以上の純度とすると、異常成長がないだけでなく、メッキ後の回路パターンのエッジの凹凸が少なくなり、鮮鋭な回路パターンが得られる。その結果パターンを微細にすることが可能となる。

銅を蒸着する前にセラミック基板上に予め下地として銅以外の金属の層、例えばアルミニウム、チタン、ジルコニウム、クロム、モリブデン、タングステン、ニッケル等の1種または2種以上を蒸着により形成させてもよい。

蒸着する厚さは普通 $1\mu\text{m}$ から $20\mu\text{m}$ 程度であり、 $3\mu\text{m}$ から $10\mu\text{m}$ とすることが多い。

(2) フォトリソエッチングによる回路パターン形成
上記工程(1)で得られた銅蒸着層に、通常のフ

フォトエッチングの方法により回路パターンを形成させる。

(3) 銅配線層の上に銅以外の金属をめっきする工程

上記工程(2)で得られた銅配線層に、電気めっき法によりニッケル等の銅以外の金属のめっき、またはニッケル等を下地とする貴金属のめっきを施す。めっきのために用いる金属はニッケル、コバルト、クロム、モリブデン、タングステン等から選ぶことができるが、ニッケル、コバルト、クロムのようにめっき時に樹枝状成長を生じ易い金属の場合本発明の効果が顕著である。

必要に応じ、上記の銅以外の金属のめっきの上に別の金属、特に金、銀等の貴金属をさらにめっきしてもよい。

めっきの方法、条件等に特に制限はなく、通常の通りでよい。ニッケル等の銅以外の金属のめっきの厚さは0.1ないし5 μ m程度、ニッケル等を下地としてめっきした上に施す金等のめっきの厚さは0.1ないし2 μ m程度である。

着法によりクロム蒸着層2、銅蒸着層3から成る導電層を形成し、フォトエッチングにより回路パターンを形成(パターニングと呼ばれる)した後、電気めっきによりニッケルめっき層5、金めっき層6を形成した。詳細は下記の通りである。

厚さ2mmのアルミナ基板上に、チタンを厚さ0.03 μ mに真空蒸着後、第1表に示すように純度の異なる4種の銅を、基板温度300℃、真空度 2×10^{-4} Torrで、厚さ5 μ mに真空蒸着後、通常の写真エッチング法により塩化銅溶液を用いて金属層(銅/チタン層)をエッチし、線幅40 μ m、線間40 μ m、長さ10mmの直線状の配線パターン(リード部)1000本を互いに平行に形成した。こうして得られたアルミナ基板上の銅配線パターンに、通常の電気めっき法によりニッケルを0.5 μ mの厚さに下地めっきした後、金を0.5 μ mの厚さに電気めっきした。めっき条件は、ニッケルめっきについては標準ワット浴を用い、温度60℃、電流密度2.0A/dm²とし、金めっきについてはシアン化金

[作用]

本発明の方法に従い蒸着源として99.999%以上の純度の銅を用いてセラミック基板に銅導電層を蒸着し、形成した銅導電層に回路パターン形成後、電気めっき法によりニッケル等銅以外の金属のめっきまたはニッケル等を下地とする金等の貴金属めっきを施すことにより、めっき部の局所的な異常成長を伴わないでめっきができ、銅配線セラミック基板を製造することができる。

蒸着に高純度の銅を用いるとその後のめっき工程でめっき層の異常成長が生じないのは、表面の結晶粒子の欠落のない銅蒸着層が形成され、従ってエッチングの際に生ずる銅蒸着層の表面の凹凸が少ないため、めっきの際の電流分布が比較的均一になり、特に先端効果による金属の急速な析出が起きないためであると推定される。

以下、実施例により本発明をさらに詳細に説明する。

[実施例]

第1図に示すように、アルミナ基板1の上に蒸

カリウム浴を用い、温度50℃、電流密度1.0A/dm²とした。第1図で4は蒸着層を、7はめっき層を示す。

ニッケルめっき終了時および金めっきまで終了した配線パターンの表面を観察した。その結果を第1表に示す。第1表中銅純度99.995%の欄は本発明の範囲外の比較例に相当する。第1表で異常成長割合は、リード部1000本について異常成長が発生した本数の百分率を示し、短絡の発生数はリード部1000本のうち隣接するリード部間で短絡の発生した本数を示す。異常成長の部分における配線層の断面を第2図に示す。第2図で5aはめっき層の針状の異常成長部を示す。

第1表でエッジ平滑度は、第4図に示すリード部のエッジの凹凸の最高高さRが5 μ m以内を普通、2 μ m以内を良、1 μ m以内を優とした。

第1表

銅純度	異常成長発生割合(%)		短絡発生数	エッジ平滑度
	ホイスカ	ひれ状		
99.995	12	93	4	普通良優
99.999	0	7	0	
99.9994	0	0	0	
99.9999	0	0	0	

第1表から明らかなように、純度99.999%以上の銅を用いて蒸着した場合には、ホイスカ状の異常成長は全く生じない。純度99.999%の銅を用いた場合には、ひれ状成長が若干見られるが、その長さは銅の純度99.99%の場合の約1/8になっていた。純度99.9994%以上の銅を用いて蒸着した場合には、ひれ状成長も皆無となった。純度99.999%以上の銅を用いた場合には、リード部間の短絡は皆無であった。リード部のエッジの平滑度も銅純度の高くなるほど改善された。特に純度99.9999%の銅を用いた場合には、平滑度は非常に良い。

(発明の効果)

属のめっきを施す際に異常成長がないだけでなく、メッキ後の回路パターンのエッジの凹凸が少なくなり、鮮鋭な回路パターンが得られる。その結果パターンを微細にすることも可能となる。

本発明の方法によると、銅導電層に銅以外の金属のめっきを施す際にめっき速度を上昇しても異常成長が生じないので、めっきに要する時間を短縮でき、製造コストを低下させることができる。

本発明の方法はセラミック基板上に銅を直接蒸着する場合のみならず、セラミック基板上に蒸着等により設けた他の金属の下地層を介して銅を蒸着する場合にも、有用である。

また本発明の方法は、回路パターンを形成した銅導電層にニッケル等の銅以外の金属のめっきを施した後、この層を下地としてさらに金、銀等の貴金属をめっきする場合にも、有用である。

4. 図面の簡単な説明

第1図は実施例で得られたセラミック基板上の配線層の拡大断面図、第2図は異常成長の部分におけるセラミック基板上の配線層の拡大断面図、

本発明の方法によると、セラミック基板上に蒸着法により形成した銅導電層に、フォトリソ法により回路パターンを形成した後、電気めっき法によりニッケル等の銅以外の金属のめっきを施す際に、めっき層が局部的にホイスカ状に、または水平方向にひれ状に、異常成長する現象が生じなくなり、電氣的に独立でなければならないリード同士の短絡または短絡寸前の状態になることが防がれる。本発明の方法は特にセラミック基板上に銅導電層を蒸着する場合に有効である。

本発明の方法によると、セラミック基板上に蒸着した銅配線層に、前記のようなめっき層の異常成長を生ずることなくニッケル等の銅以外の金属をめっきすることが可能になるから、導電層に電気抵抗の小さい銅を用いたワイヤボンディングに適するセラミック配線基板を作ることができ、電子回路の高速化に対応することができる。本発明の方法は、例えばPGA(ピングリッドアレイ)の製造に適用できる。

本発明の方法によると、銅導電層に銅以外の金

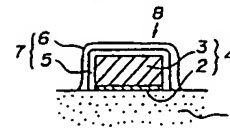
第3図はセラミック基板上の蒸着銅配線層にニッケル等を電気めっきした場合に生ずるホイスカ状およびひれ状の異常成長の状態を示す説明図である。第4図は直線状リード部のエッジの凹凸の評価方法を示す説明図である。

符号の説明

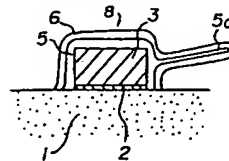
- 1.....セラミック基板
- 2.....チタン蒸着層
- 3.....銅蒸着層
- 4.....蒸着層
- 5.....ニッケルめっき層
- 5a.....ニッケルめっき層の異常成長部
- 6.....金めっき層
- 7.....めっき層
- 8.....配線層

特許出願人 日立電線株式会社
代理人 弁理士 平田 忠雄
同 酒井 宏明

第1図

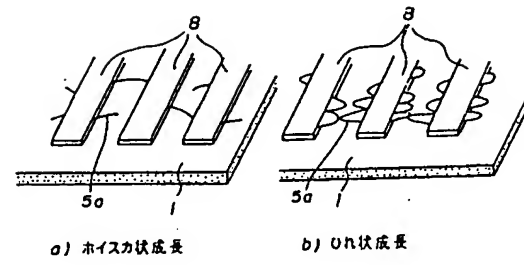


第2図

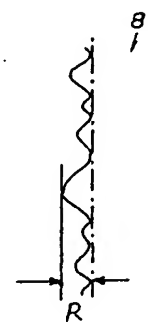


- 1.....セラミック基板
- 2.....チタン誘着層
- 3.....銅誘着層
- 4.....誘着層
- 5.....ニッケルめっき層
- 5 a.....ニッケルめっき層の異常成長部
- 6.....金めっき層
- 7.....めっき層
- 8.....配線層

第3図



第4図



- 8.....配線層

第1頁の続き

⑤Int. Cl. 9		識別記号	庁内整理番号
// C 23 C	14/18		8722-4K
	14/24		8520-4K
C 25 D	7/12		7325-4K
H 05 K	3/14	A	6736-5E